



UNIVERSIDAD  
**UPP**

# CÓMO SE ORGANIZAN LAS MEMORIAS SEMICONDUCTORAS EN LOS CHIPS

**MATERIA:**

**ORGANIZACION COMPUTACIONAL**

**Alumno:**

**Gabriel Emmanuel Ku Rubio**

**DOCENTE:**

**M. EN C. JORGE J. PEDROZO ROMERO**

**LICENCIATURA EN DESARROLLO EN SOFTWARE**

# CÓMO SE ORGANIZAN LAS MEMORIAS SEMICONDUCTORAS EN LOS CHIPS

Las memorias semiconductores en los chips se organizan de diferentes maneras según el tipo de memoria y su función

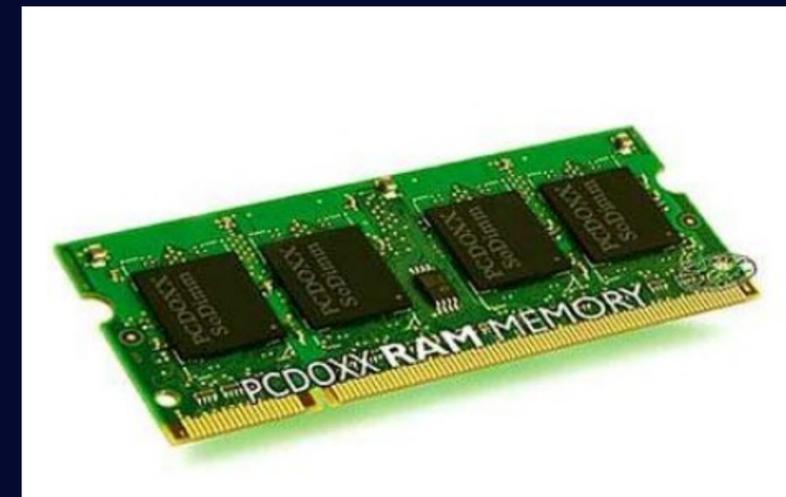
## 1. Memorias RAM (Random Access Memory):

DRAM (Dynamic RAM): Las celdas de memoria están organizadas en una matriz bidimensional, con filas y columnas. Cada celda es direccionable individualmente.

- SRAM (Static RAM): Utiliza circuitos flip-flop para almacenar cada bit. Es más rápido que DRAM pero requiere más área en el chip.

## 2. Memorias ROM (Read-Only Memory):

- EPROM (Erasable Programmable ROM): Organizada en matrices de celdas de memoria flotantes que pueden ser programadas y borradas mediante exposición a luz ultravioleta.
- EEPROM (Electrically Erasable Programmable ROM): Similar a la EPROM, pero se puede borrar y reprogramar eléctricamente.



# CÓMO SE ORGANIZAN LAS MEMORIAS SEMICONDUCTORAS EN LOS CHIPS

3

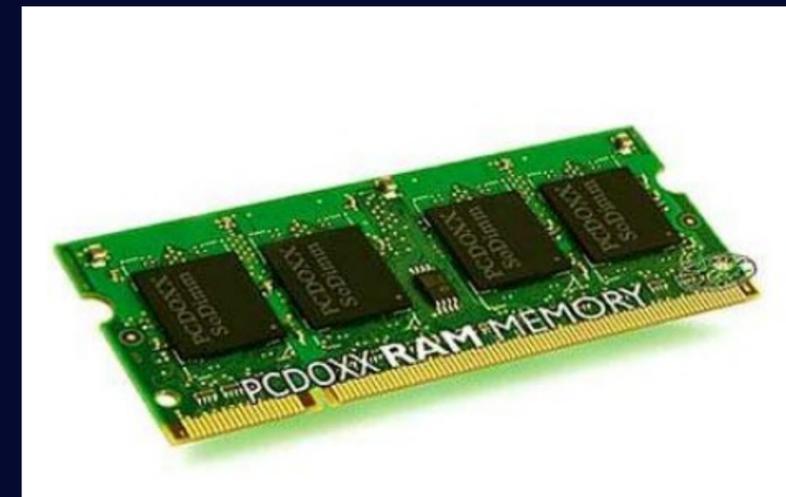
## 3. Memorias Flash:

NAND Flash: Organizada en una matriz de celdas dispuestas en filas y columnas. Es utilizado en dispositivos de almacenamiento como unidades SSD y tarjetas de memoria.

NOR Flash: Similar a NAND Flash pero con una estructura diferente, es más adecuado para aplicaciones de lectura de alta velocidad.

## 4. Memorias Cache:

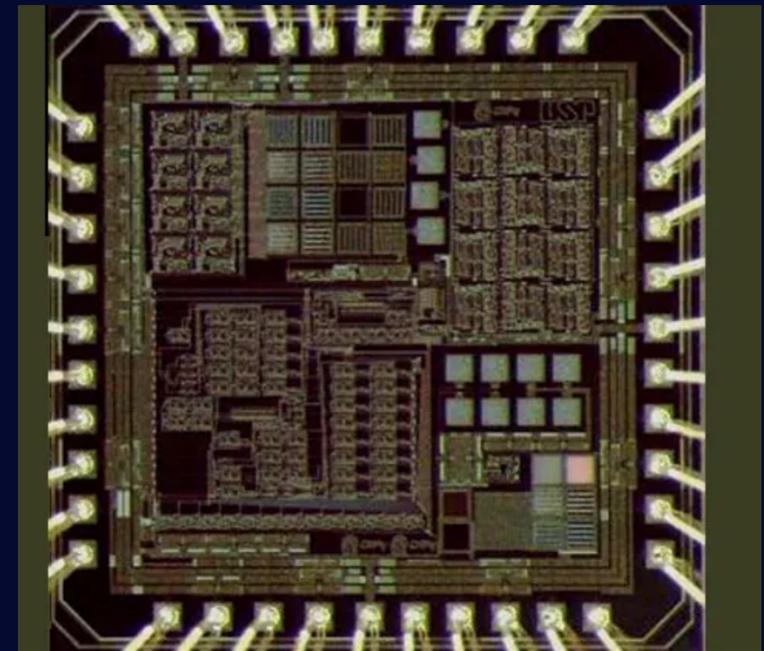
Cache L1, L2, L3: Organizadas en jerarquías con niveles de caché que van desde la caché más cercana al procesador (L1) hasta la caché más alejada (L3). Están diseñadas para almacenar datos temporalmente y reducir los tiempos de acceso a la memoria principal.



# ¿CUÁL ES UNO DE LOS PRINCIPALES PROBLEMAS EN EL DISEÑO DE LA LÓGICA FUNCIONAL DE LOS CHIPS?

4

Uno de los principales problemas en el diseño de la lógica funcional de los chips es la complejidad creciente y la gestión del calor. A medida que los chips se vuelven más avanzados y contienen más transistores para realizar funciones cada vez más complejas, la cantidad de calor generada por el chip aumenta significativamente. Este aumento en la temperatura puede afectar negativamente el rendimiento y la confiabilidad del chip.



El aumento de la complejidad también conlleva desafíos en términos de diseño de energía eficiente, enrutamiento de señales, minimización de la interferencia electromagnética (EMI), y garantizar la sincronización adecuada de todas las partes del chip. Además, la gestión de la complejidad del diseño y la verificación de la lógica funcional también son desafíos críticos en el diseño de chips modernos.

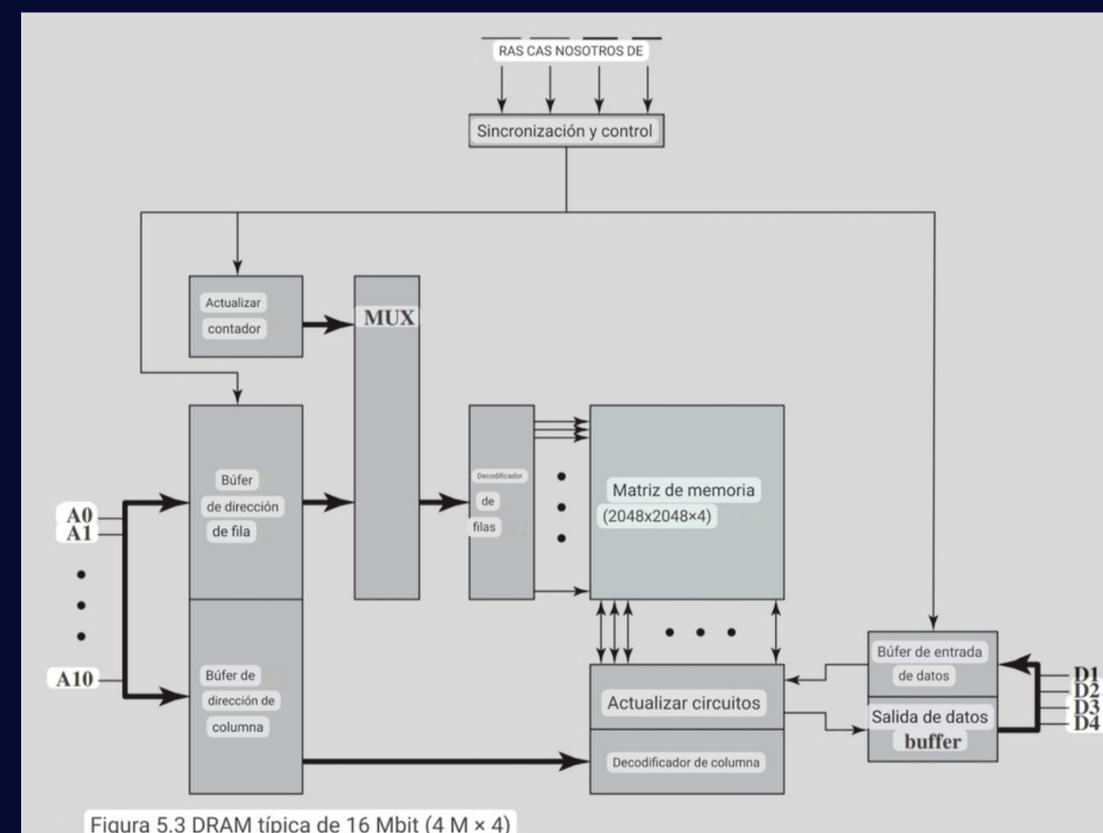
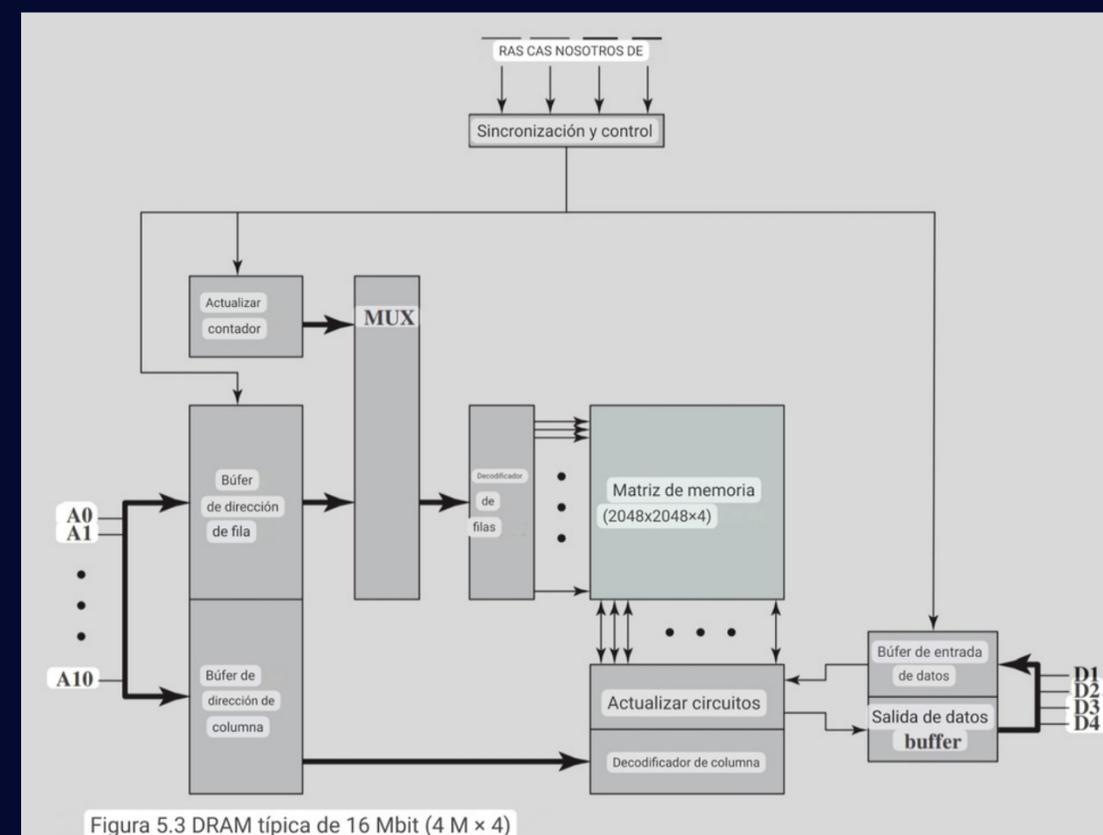


Figura 5.3 DRAM típica de 16 Mbit (4 M x 4)

muestra una organización típica de una DRAM de 16 Mbit. En este caso, se leen o escriben 4 bits a la vez. Lógicamente, la matriz de memoria está organizada como cuatro matrices cuadradas de 2048 por 2048 elementos. Son posibles varias disposiciones físicas. En cualquier caso, los elementos de la matriz están conectados por líneas tanto horizontales (fila) como verticales (columna). Cada línea horizontal se conecta al terminal Seleccionar de cada celda en su fila; cada línea vertical se conecta al terminal Data-In/Sense de cada celda en su columna.

Las líneas de dirección proporcionan la dirección de la palabra que se seleccionará. Se necesita un total de líneas  $\log_2 W$ . En nuestro ejemplo, se necesitan 11 líneas de dirección para seleccionar una de 2048 filas. Estas 11 líneas se introducen en un decodificador de filas, que tiene 11 líneas de entrada y 2048 líneas de salida. La lógica del decodificador activa una sola de las 2048 salidas dependiendo del patrón de bits en las 11 líneas de entrada ( $2^{11} = 2048$ ).

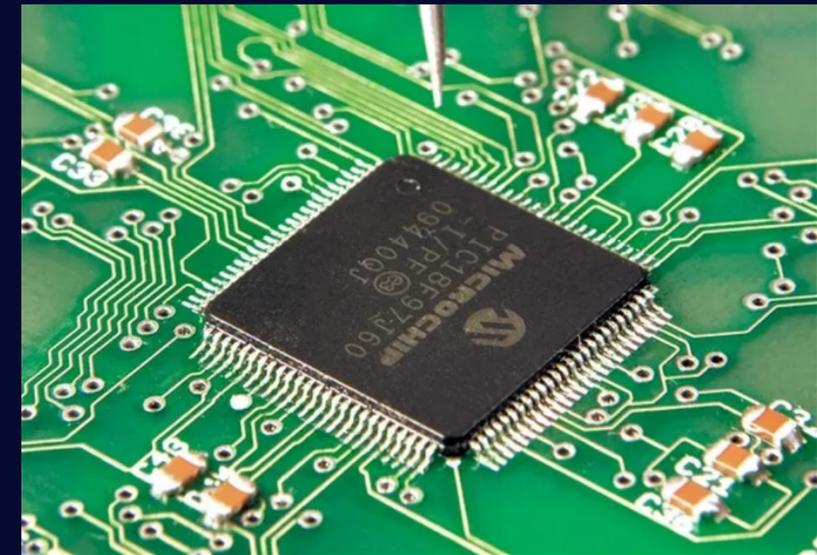


11 líneas de dirección adicionales seleccionan una de las 2048 columnas de 4 bits por columna. Se utilizan cuatro líneas de datos para la entrada y salida de 4 bits hacia y desde un búfer de datos. En la entrada (escritura), el controlador de bits de cada línea de bits se activa para un 1 o 0 según el valor de la línea de datos correspondiente. En la salida (lectura), el valor de cada línea de bits pasa a través de un amplificador de detección y se presenta a las líneas de datos. La línea de fila selecciona qué fila de celdas se utiliza para leer o escribir.

# ¿EN DÓNDE SE MONTAN LOS CIRCUITOS INTEGRADOS?

Un circuito integrado se monta en un paquete que contiene clavijas para conectarse al mundo exterior. Este encapsulado protege al chip semiconductor y proporciona una interfaz física para la conexión con otros componentes o dispositivos. Hay varios tipos de encapsulados que se utilizan comúnmente para montar circuitos integrados, incluyendo:

1. **Dual In-line Package (DIP)**: Es un encapsulado rectangular con pines a cada lado del chip. Los pines están diseñados para ser insertados en orificios de un PCB y soldados a las pistas conductoras en la superficie del PCB.



2. **Quad Flat Package (QFP)**: Este tipo de encapsulado tiene una forma cuadrada o rectangular con una cuadrícula de pines en cada lado del chip. Los pines están diseñados para ser soldados directamente a las pistas conductoras en la superficie del PCB.

# ¿EN DÓNDE SE MONTAN LOS CIRCUITOS INTEGRADOS?

8

3. Small Outline Integrated Circuit (**SOIC**): Similar al QFP, pero con pines más pequeños y más espaciados. Es adecuado para aplicaciones donde se requiere un tamaño más compacto.

4. Ball Grid Array (**BGA**): En este tipo de encapsulado, las conexiones eléctricas se realizan mediante una matriz de esferas de soldadura en la parte inferior del chip. Es adecuado para chips con alta densidad de pines y requiere técnicas de montaje específicas.



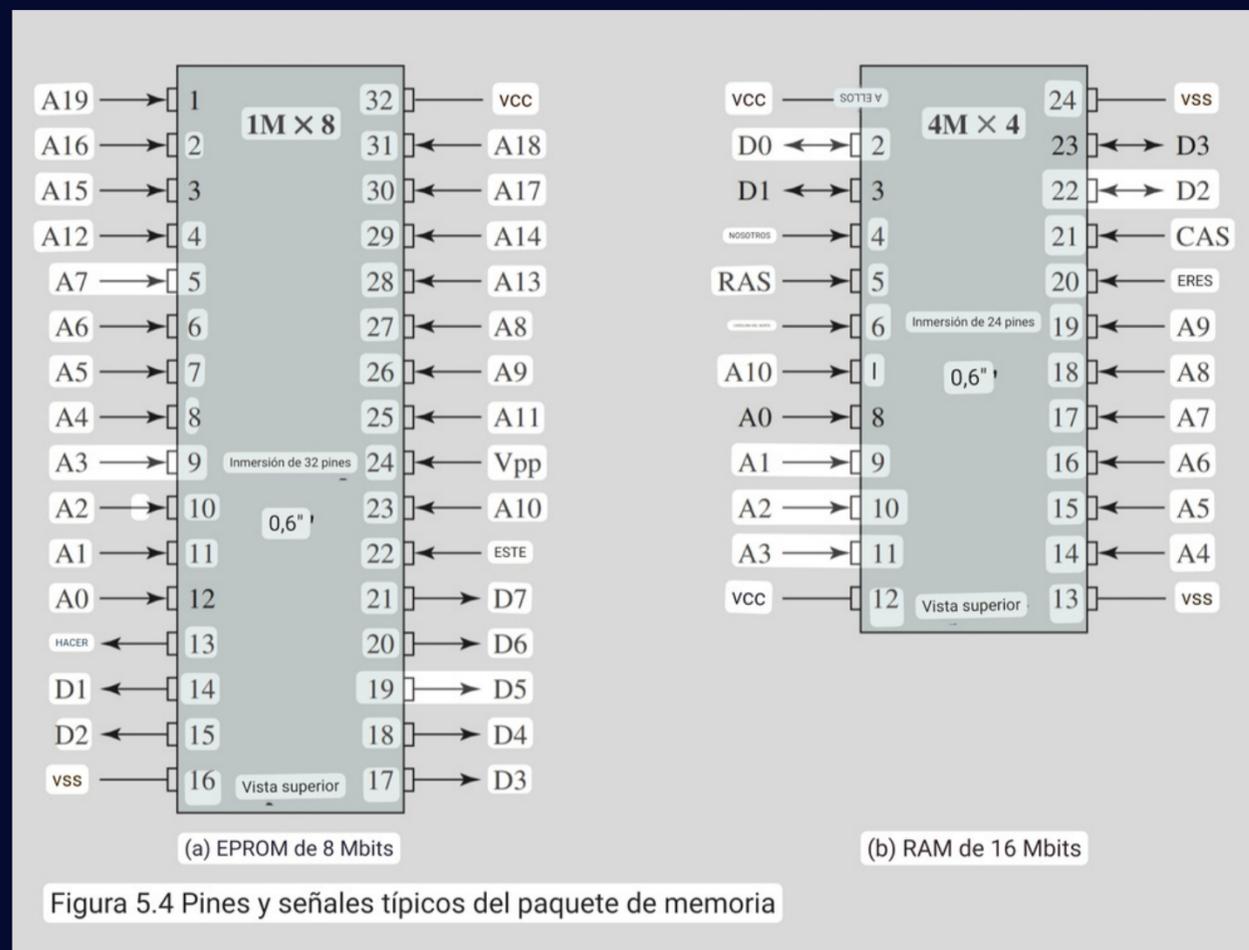


Figura 5.4 Pines y señales típicos del paquete de memoria

Se muestra un paquete EPROM de ejemplo, que es un chip de 8 Mbit organizado como 1M X 8. En este caso, la organización se trata como un paquete de una palabra por chip. El paquete incluye 32 pines, que es uno de los tamaños de paquete de chips estándar.

Al igual que una configuración típica de pines de DRAM, para un chip de 16 Mbit organizado como 4M X 4. Existen varias diferencias con respecto a un chip ROM. Debido a que una RAM se puede actualizar, los pines de datos son de entrada/salida. Los pines de habilitación de escritura (WE) y de habilitación de salida (OE) indican si se trata de una operación de escritura o lectura

# ¿CUÁLES SON LAS SEÑALES QUE SOPORTAN LOS PINES? 10

Los pines admiten las siguientes líneas de señal:

La dirección de la palabra a la que se accede. Para 1 millón de palabras, se necesitan un total de 20 ( $2^{20} = 1$  millón) pines (A0-A19).

Los datos a leer constan de 8 líneas (D0-D7).

3/4

La fuente de alimentación al chip ( $V_{CC}$ ).

Un pin de tierra ( $V_{SS}$ ).

Un pin de habilitación de chip (CE). Debido a que puede haber más de un chip de memoria, cada uno de los cuales está conectado al mismo bus de direcciones, el pin CE se utiliza para indicar si la dirección es válida o no para este chip. El pin CE se activa mediante lógica conectada a los bits de orden superior del bus de direcciones (es decir, bits de dirección superiores a A19). El uso de esta señal se ilustra a continuación.

Un voltaje de programa ( $V_{PP}$ ) que se suministra durante la programación (operaciones de escritura).



# IDENTIFICAR LAS SEÑALES SOPORTADAS EN LOS PINES DE UNA EPROM DE 8 MBIT Y 16 MBIT

Para una EPROM de 8 Mbit:

1. VCC: Alimentación positiva.
2. GND: Conexión a tierra.
3. A0-A22: Pines de dirección para seleccionar la ubicación de memoria (23 pines en total).
4. D0-D7: Pines de entrada/salida de datos para transferir información (8 pines en total).
5. OE (Output Enable): Señal de habilitación de salida para activar la salida de datos.
6. WE (Write Enable): Señal de habilitación de escritura para permitir la escritura de datos en la memoria.
7. CE (Chip Enable): Señal de habilitación de chip para activar la operación de la EPROM.

# IDENTIFICAR LAS SEÑALES SOPORTADAS EN LOS PINES DE UNA EPROM DE 8 MBIT Y 16 MBIT

Para una EPROM de 16 Mbit (estructura similar, pero con el doble de capacidad):

1. VCC: Alimentación positiva.
2. GND: Conexión a tierra.
3. A0-A23: Pines de dirección para seleccionar la ubicación de memoria (24 pines en total).
4. D0-D7: Pines de entrada/salida de datos para transferir información (8 pines en total).
5. OE (Output Enable): Señal de habilitación de salida para activar la salida de datos.
6. WE (Write Enable): Señal de habilitación de escritura para permitir la escritura de datos en la memoria.
7. CE (Chip Enable): Señal de habilitación de chip para activar la operación de la EPROM.